

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-111454

(43)Date of publication of application : 25.04.1995

(51)Int.Cl.

H03L 7/197

H03L 7/199

(21)Application number : 05-256658

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.10.1993

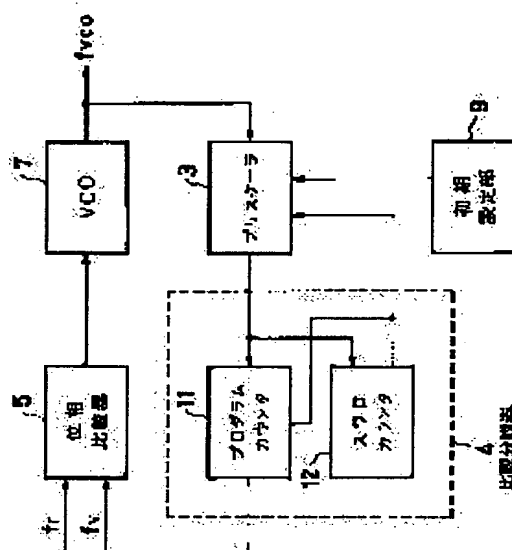
(72)Inventor : KOBAYASHI TOSHIMITSU  
TODA YOSHIFUMI

## (54) HIGH-SPEED SWITCHING FREQUENCY SYNTHESIZER CIRCUIT

## (57)Abstract:

PURPOSE: To form the high-speed switching frequency synthesizer circuit by setting forcibly a frequency division ratio of a prescaler at the start of operation and resetting a program counter and a swallow counter of a comparison frequency divider in the initial state, thereby improving the leading speed to a set frequency.

CONSTITUTION: A prescaler 3 frequency-divides an output frequency  $f_{VCO}$  and a comparison frequency divider 4 frequency-divides the output frequency  $f_{VCO}$  and the frequency divider 4 frequency-divides a frequency division output of the prescaler 3 to generate a signal of a comparison frequency division frequency  $f_V$  and a phase comparator 5 compares a phase of the signal of a reference frequency  $f_r$  with a phase of a signal of the comparison frequency division frequency  $f_V$  to provide an error output and a VCO 7 controls a generated frequency depending on the error output to generate the output frequency  $f_{VCO}$ . The frequency divider 4 resets the program counter 11 and the swallow counter 12 in the initial state. Thus, the leading speed to the set frequency is improved to form the high-speed frequency synthesizer.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-111454

(43) 公開日 平成7年(1995)4月25日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/197 7/199		9182-5 J	H 0 3 L 7/ 18 7/ 10	A G
審査請求 未請求 請求項の数 2 O L (全 7 頁)				

(21) 出願番号 特願平5-256658

(22) 出願日 平成5年(1993)10月14日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 木林 利光

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 戸田 善文

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

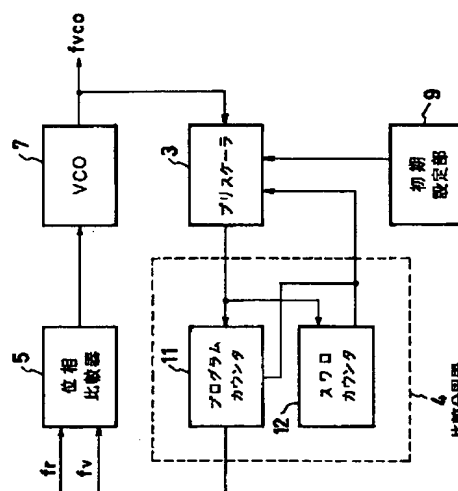
(54) 【発明の名称】 高速切替周波数シンセサイザ回路

(57) 【要約】

【目的】 周波数シンセサイザ回路に関し、高速に指定周波数への立ち上げを行うことができる、高速切替周波数シンセサイザ回路を提供することを目的とする。

【構成】 出力周波数  $f_{VCO}$  を分周するプリスケアラ3と、プリスケアラ3の出力を分周して比較分周周波数  $f_v$  を発生する比較分周器4と、基準周波数  $f_r$  と比較分周周波数  $f_v$  とを位相比較する位相比較器5と、位相誤差に応じて出力周波数  $f_{VCO}$  を発生するように制御されるVCO7とを備えた周波数シンセサイザ回路の比較分周器4で、プログラムカウンタ11が設定値  $N-A$  の計数終了時プリスケアラ3の分周比を  $P$  に変更し、スワロカウンタ12が設定値  $A$  の計数終了時プリスケアラ3の分周比を  $P$  に変更して、 $f_{VCO} = f_v \cdot \{(P+1) \cdot A + (N-A) \cdot P\}$  によって比較分周周波数  $f_v$  を発生する際に、初期設定部9で、動作開始時プリスケアラ3の分周比を  $P$  または  $P+1$  に設定することで構成する。

本発明の原理的構成を示す図



## 【特許請求の範囲】

【請求項 1】 出力周波数 ( $f_{\text{vco}}$ ) を分周するプリスケアラ (3) と、該プリスケアラ (3) の分周出力を分周して比較分周周波数 ( $f_v$ ) の信号を発生する比較分周器 (4) と、基準周波数 ( $f_r$ ) の信号と該比較分周周波数 ( $f_v$ ) の信号とを位相比較して誤差出力を発生する位相比較器 (5) と、該誤差出力に応じて発生周波数を制御されて前記出力周波数 ( $f_{\text{vco}}$ ) の信号を発生する VCO (7) とを備えてなる周波数シンセサイザ回路において、

前記比較分周器 (4) が、設定値 ( $N-A$ ) をカウントするプログラムカウンタ (11) と、設定値 ( $A$ ) をカウントするスワロカウンタ (12) とを有し、該プログラムカウンタ (11) のカウント終了時、前記プリスケアラ (3) の分周比を ( $P+1$ ) に変更し、該スワロカウンタ (12) のカウント終了時、前記プリスケアラ (3) の分周比を ( $P$ ) に変更して、

$f_{\text{vco}} = f_v \cdot \{ (P+1) \cdot A + (N-A) \cdot P \}$   
 によって前記比較分周周波数 ( $f_v$ ) の信号を発生する場合に、

動作開始時、前記プリスケアラ (3) の分周比を ( $P$ ) または ( $P+1$ ) のいずれかに設定する初期設定部 (9) を設けたことを特徴とする高速切替周波数シンセサイザ回路。

【請求項 2】 請求項 1 に記載の高速切替周波数シンセサイザ回路において、前記比較分周器 (4) の動作開始時、前記プログラムカウンタ (11) とスワロカウンタ (12) とのカウント値を 0 にリセットするようにしたことを特徴とする高速切替周波数シンセサイザ回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、周波数シンセサイザ回路に関し、特に高速に周波数を切り替えることができる、高速切替周波数シンセサイザ回路に関するものである。

【0002】 周波数シンセサイザ回路は、基準発振器によって制御された、高精度の変周周波数を発生することができるものであって、通信機その他各種電子回路において、広く用いられている。

【0003】 このような周波数シンセサイザ回路は、ある種の用途においては、周波数切り替え時、高速に指定周波数に対する切り替えを実行することが可能なものであることが要望される。

## 【0004】

【従来の技術】 通信機等においては、指定されたチャンネル周波数への立ち上げ、またはチャンネル周波数の切り替えを高速に実行することが必要になる場合があり、このような場合、その周波数発生源となる周波数シンセサイザ回路において、高速に周波数切り替えを行えることが必要となる。

10

20

30

40

50

【0005】 図 4 は、従来の周波数シンセサイザ回路を示したものである。1 は基準発振器であって、例えば水晶制御発振器等からなり、基準周波数の信号を発生する。2 は基準分周器であって、基準発振器 1 の出力周波数を分周して、基準分周周波数  $f_r$  の信号を発生する。3 はプリスケアラであって、周波数シンセサイザ回路の出力周波数  $f_{\text{vco}}$  を分周比  $P$  または  $P+1$  で分周する。

【0006】 4 は比較分周器であって、プリスケアラ 3 の出力周波数をさらに分周して、比較分周周波数  $f_v$  の信号を発生する。5 は位相比較器であって、基準分周器 2 の基準分周周波数  $f_r$  の信号と、比較分周器 4 の比較分周周波数  $f_v$  の信号との位相を比較して、位相誤差に比例した大きさを有する電圧信号を発生する。6 はループフィルタであって、位相比較器 5 の出力信号を帯域制限して、直流分からなる制御信号を発生する。

【0007】 7 は電圧制御発振器 (VCO) であって、ループフィルタ 6 の出力信号によってその発振周波数を制御されて、周波数  $f_{\text{vco}}$  の出力信号を発生する。8 はチャージポンプであって、周波数切り替え時、ループフィルタ 6 を構成するコンデンサのチャージを所定値に充放電することによって、ループフィルタ 6 の出力の立ち上がりを速くする作用を行う。

【0008】 プリスケアラ 3 の分周比は、 $P$  と  $P+1$  の 2 つの値のいずれかをとることができ、例えば  $P=64$ 、 $P+1=65$  が用いられる。動作開始時においてはプリスケアラ 3 の分周比は不定であり、比較分周器 4 は、プリスケアラ 3 の分周比を認識して分周動作を行い、動作中、プリスケアラ 3 の分周比は、比較分周器 4 からの制御に応じて切り替えられるようになっている。

【0009】 CLK はクロック信号であって、各部の動作タイミングを定めるために用いられる。DATA は基準分周器 2 および比較分周器 4 における分周比を定めるデータであって、周波数シンセサイザ回路が発生すべきチャンネル周波数に応じて、外部から与えられる。STB はストロブ信号であって、これによって、基準分周器 2 および比較分周器 4 におけるデータの読み込みが行われる。PS はパワーセーブ信号であって、これによって、周波数シンセサイザ回路は基準発振器 1 を除いて停止状態となって、消費電力の節減が行われる。

【0010】 図 5 は、比較分周器の構成例を示したものである。図 4 における同じものを同じ番号で示し、比較分周器 4 において、11 はプログラムカウンタ、12 はスワロカウンタ、13 はコントローラである。

【0011】 通信機のチャンネル周波数切り替え時、または消費電力節減のためのパワーセーブ状態から動作状態への立ち上げ時、プログラムカウンタ 11、スワロカウンタ 12 には、VCO 7 の所要の出力周波数  $f_{\text{vco}}$  に応じて、所定値  $N$ 、 $A$  が設定され、プリスケアラ 3 および比較分周器 4 は、次の関係によって出力周波数  $f_{\text{vco}}$  を分周して比較分周周波数  $f_v$  の信号を発生する。

3

$$f_{vco} = f_v \cdot (P \cdot N + A)$$

【0012】出力周波数  $f_{vco}$  が設定値に等しい状態で  
は、比較分周周波数  $f_v$  と基準分周周波数  $f_r$  とは等し\*

$$f_{vco} = f_r \cdot (P \cdot N + A)$$

となる。ここで  $P \cdot N$  はおおまかな分周比を定め、 $A$  は  
 $P \cdot N$  に対する剰余項となり、 $A$  の値が1変わると、周\*

$$f_{vco} = f_v \cdot \{ (P+1) \cdot A + (N-A) \cdot P \}$$

となるので、(1) 式による出力周波数  $f_{vco}$  の設定  
は、次のようにして行うことができる。

【0014】動作開始時、コントローラ13は、プリス  
ケーラ3における分周比を認識して、これに応じて、プ  
ログラムカウンタ11またはスワロカウンタ12を動作  
させる。

【0015】最初、プリスケラ3の分周比が  $P+1$  で  
あったとき、スワロカウンタ12によって、プリスケ  
ラ3の出力パルスをカウントし、カウント値が  $A$  にな  
ったとき、コントローラ13はプリスケラ3の分周比を  
 $P$  に変更する。次にプログラムカウンタ11によって、  
プリスケラ3の出力パルスをカウントし、カウント値  
が  $N-A$  になったとき、カウントを終了する。

【0016】また最初、プリスケラ3の分周比が  $P$  で  
あったときは、プログラムカウンタ11によって、プリ  
スケラ3の出力パルスをカウントし、カウント値が  $N$   
-  $A$  になったとき、コントローラ13はプリスケラ3  
の分周比を  $P+1$  に変更する。次にスワロカウンタ12  
によって、プリスケラ3の出力パルスをカウントし、  
カウント値が  $A$  になったとき、カウントを終了する。

【0017】

【発明が解決しようとする課題】周波数シンセサイザ回  
路においては、パワーセーブ状態からの立ち上げ時等に  
おいて、最初に基準分周周波数  $f_r$  の信号の位相を調整  
して、比較分周周波数  $f_v$  の信号と同位相になるように  
し、その後、(3) 式による周波数の設定を行うように  
して、出力周波数  $f_{vco}$  の立ち上がりを速くしている。

【0018】一方、比較分周器4におけるプログラムカ  
ウンタ11とスワロカウンタ12の動作は(3) 式に従  
って行われ、その順序は最初、プリスケラ3における  
分周比が  $P$  であるか、 $P+1$  であるかによって定まる。  
従来は、プリスケラ3における最初の分周比は不定で  
あったため、コントローラ13は、動作開始時、プリス  
ケーラ3における分周比を識別してから、プログラムカ  
ウンタ11とスワロカウンタ12との動作順序を決定す  
る必要があり、そのため時間を必要とした。

【0019】また、図4、5に示された従来の周波数シ  
ンセサイザ回路では、動作開始時に、プログラムカウ  
ンタ11とスワロカウンタ12とは、リセットされるこ  
となく、そのときのカウンタ値からカウントを開始する。  
そのため、各カウンタはカウントを開始して、フルカウ  
ントになって0に戻った状態から改めてカウントを行っ  
て、スワロカウンタ12は設定値  $A$  をカウントし、プロ

4

... (1)

\*く、従って、

... (2)

※波数  $f_{vco}$  が  $f_r$  だけ変化する。

【0013】一方、(1) 式から

... (3)

グラムカウンタ11は設定値  $(N-A)$  をカウントする  
ので、無駄な時間が費やされることがあった。

【0020】従って、従来の周波数シンセサイザ回路に  
おいては、動作開始時の各カウンタのカウント値の状態  
によっては、最終的に設定周波数に対する位相引き込み  
が完了するまでに、時間がかかることがあり、そのた  
め、チャンネル周波数の切り替え時、またはパワーセーブ  
状態からの立ち上げが遅くなるという問題があった。

【0021】本発明は、このような従来技術の課題を解  
決しようとするものであって、周波数シンセサイザ回路  
において、所定周波数への立ち上げを速くすることがで  
きる、高速切替周波数シンセサイザ回路を提供すること  
を目的としている。

【0022】

【課題を解決するための手段】

(1) 本発明は、図1にその原理的構成を示すように、出  
力周波数  $f_{vco}$  を分周するプリスケラ3と、プリスケ  
ラ3の分周出力を分周して比較分周周波数  $f_v$  の信号  
を発生する比較分周器4と、基準周波数  $f_r$  の信号と比  
較分周周波数  $f_v$  の信号とを位相比較して誤差出力を  
発生する位相比較器5と、誤差出力に応じて発生周波数  
を制御されて出力周波数  $f_{vco}$  を発生するVCO7とを備  
えてなる周波数シンセサイザ回路において、比較分周器  
4が、設定値  $N-A$  をカウントするプログラムカウンタ  
11と、設定値  $A$  をカウントするスワロカウンタ12と  
を有し、プログラムカウンタ11のカウント終了時、プ  
リスケーラ3の分周比を  $P$  に変更し、スワロカウンタ1  
2のカウント終了時、プリスケラ3の分周比を  $P$  に変  
更して、 $f_{vco} = f_v \cdot \{ (P+1) \cdot A + (N-A) \cdot P \}$   
によって比較分周周波数  $f_v$  の信号を発生する場合  
に、動作開始時、プリスケラ3の分周比を  $P$  または  $P$   
+ 1 のいずれかに設定する初期設定部9を設けたもので  
ある。

【0023】(2) また本発明は(1) において、比較分  
周器4の動作開始時、プログラムカウンタ11とスワロカ  
ウンタ12とのカウント値を0にリセットするようにし  
たものである。

【0024】

【作用】

(1) 周波数シンセサイザ回路においては、プリスケ  
ラ3によって、出力周波数  $f_{vco}$  を分周し、比較分周器4  
によって、プリスケラ3の分周出力を分周して比較分  
周周波数  $f_v$  の信号を発生し、位相比較器5によって、

基準周波数  $f_r$  の信号と比較分周周波数  $f_v$  の信号とを位相比較して誤差出力を発生し、VCO7において、この誤差出力に応じて発生周波数を制御して出力周波数  $f_{vco}$  を発生する。

【0025】比較分周器4においては、プログラムカウンタ11によって、設定値  $N-A$  をカウントし、スワロカウンタ12によって、設定値  $A$  をカウントするとともに、プログラムカウンタ11のカウント終了時、プリスケアラ3の分周比を  $P$  に変更し、スワロカウンタ12のカウント終了時、プリスケアラ3の分周比を  $P$  に変更することによって、(3) 式の関係によって、比較分周周波数  $f_v$  の信号を発生する。

【0026】この際、本発明の高速切替周波数シンセサイザ回路では、初期設定部9を設けて、動作開始時、プリスケアラ3の分周比を  $P$  または  $P+1$  のいずれかに設定する。

【0027】従って、本発明によれば、比較分周器4は動作開始時、プリスケアラ3における分周比を認識して、プログラムカウンタ11とスワロカウンタ12の動作順序を定める必要がないので、周波数シンセサイザ回路における、指定周波数への立ち上げを速くすることができる。

【0028】(2) また本発明の高速切替周波数シンセサイザ回路では、(1) の構成において、動作開始時、プログラムカウンタ11とスワロカウンタ12とのカウント値を0にリセットするようにする。

【0029】従って本発明によれば、動作時のプログラムカウンタ11のカウントと、スワロカウンタ12のカウントとが、迅速に行われるので、周波数シンセサイザ回路における、指定周波数への立ち上げ速度を向上することができる。

【0030】

【実施例】図2は、本発明の一実施例を示したものであって、要部のみを示している。図5におけると同じものを同じ番号で示し、9はプリスケアラ3における分周比の初期値を設定する初期設定部である。

【0031】初期設定部9は、プリスケアラ3における分周比の初期値を設定する。従って周波数シンセサイザ回路の動作開始時、コントローラ13は、この初期値に応じて、プログラムカウンタ11とスワロカウンタ12のいずれかのカウントを開始させる。

【0032】前述のように比較分周器4におけるプログラムカウンタ11とスワロカウンタ12の動作は(3)式に従って行われ、その順序は最初、プリスケアラ3における分周比が  $P$  であるか、 $P+1$  であるかによって定まる。従来は、プリスケアラ3における最初の分周比は不定であったため、コントローラ13は、プリスケアラ3における分周比を識別してから、プログラムカウンタ11とスワロカウンタ12との動作順序を決定する必要があったが、本発明では、プリスケアラ3における最初

の分周比は動作開始時に初期設定部9によって設定されているので、プログラムカウンタ11とスワロカウンタ12とは、これに応じて直ちに動作を開始することができ、従って、周波数シンセサイザ回路における、周波数の立ち上げ速度を向上することができる。

【0033】また比較分周器4において、コントローラ13は、周波数シンセサイザ回路における、ストロブ信号  $STB$ 、またはパワーセーブ状態からの立ち上げ時与えられるアクティブ信号  $ACTIVE$  の発生時、プログラムカウンタ11およびスワロカウンタ12に対してリセット信号を発生して、それぞれのカウント状態を0にリセットする。

【0034】従って、周波数シンセサイザ回路に対するチャンネル周波数の設定時、またはパワーセーブ状態からの立ち上げ時、比較分周器4におけるプログラムカウンタ11と、スワロカウンタ12とは、リセット状態からカウントを開始して、所定の分周動作を行うので、プログラムカウンタ11と、スワロカウンタ12とに対するリセットを行わない従来の周波数シンセサイザ回路と比較して、所定周波数への立ち上げを速くすることができる。

【0035】図3は、本発明を適用した周波数シンセサイザ回路の動作タイミングを示したものであって、パワーセーブ状態からの指定周波数立ち上げ時の動作を説明している。

【0036】パワーセーブ信号  $PS$  がオフの状態では、プリスケアラ3の分周比は、そのときの動作状態によって定まる。パワーセーブ信号  $PS$  がオンの状態では、プリスケアラ3の分周比は、 $P=64$  または  $P+1=65$  のいずれかの値をとっていて、不定である。

【0037】しかしながら、指定周波数への立ち上げ時には、初期設定部9によってプリスケアラ3の分周比は、 $P$  または  $P+1$  のいずれかに強制的に設定され、例えば図3に示されたように64となる。

【0038】この状態で、パワーセーブ状態からの立ち上げを指示するアクティブ信号  $ACTIVE$  の発生によって、位相比較器5における初期位相合わせが行われて、比較分周器4は動作を開始する。

【0039】

【発明の効果】以上説明したように本発明によれば、周波数シンセサイザ回路において、プリスケアラの分周比を動作開始時に強制的に設定し、また、比較分周器におけるプログラムカウンタとスワロカウンタとを、初期状態においてリセットするようにしたので、設定された周波数への立ち上げ速度を向上させることができ、高速切替周波数シンセサイザ回路を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の原理的構成を示す図である。

【図2】本発明の一実施例を示す図である。

【図 3】本発明を適用した周波数シンセサイザ回路の動作タイミングを示す図である。

【図 4】従来の周波数シンセサイザ回路を示す図である。

【図 5】比較分周器の構成例を示す図である。

【符号の説明】

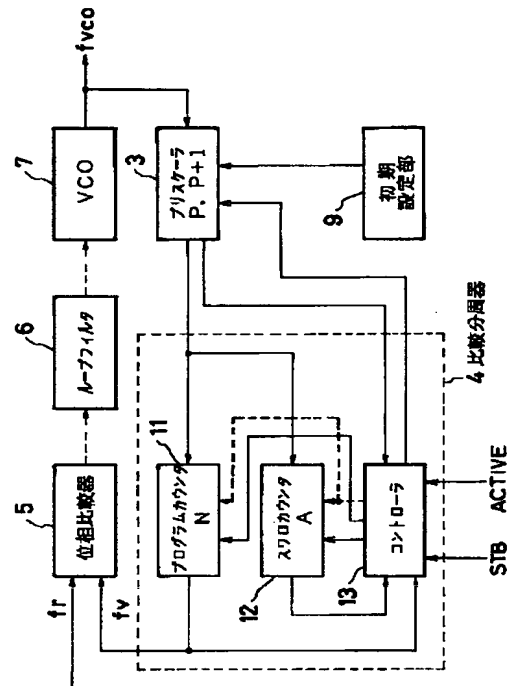
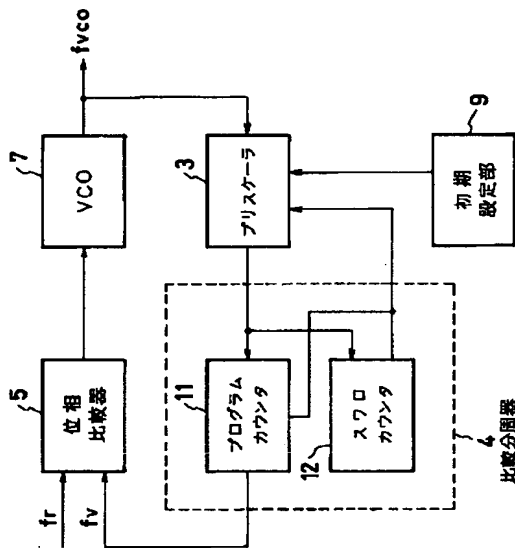
- \* 3 プリスケアラ
- 4 比較分周器
- 5 位相比較器
- 7 VCO
- 11 プログラムカウンタ
- \* 12 スワロカウンタ

【図 1】

【図 2】

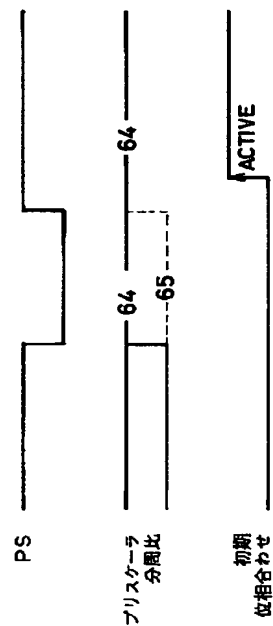
本発明の一実施例を示す図

本発明の原理的構成を示す図



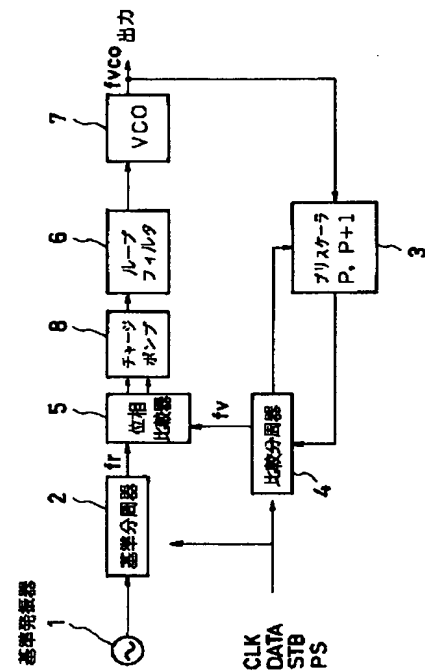
【図 3】

本発明を適用した周波数シンセサイザ回路の動作タイミングを示す図



【図 4】

従来の周波数シンセサイザ回路を示す図





【図5】

比較分周器の構成例を示す図

